

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-55429

(43) 公開日 平成9年(1997)2月25日

(51) Int.Cl.⁸

識別記号

庁内整理番号

FI

技術表示箇所

H01L 21/768
21/027
21/3065
21/312
21/3205

H01L 21/90 A
21/312 M
21/30 573
21/302 L
21/88 B

審査請求 有 請求項の数 6 FD (全 13 頁) 最終頁に続く

(21) 出願番号

特願平7-224539

(22) 出願日

平成7年(1995)8月10日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 林 喜宏

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 小野寺 貴弘

東京都港区芝五丁目7番1号 日本電気株式会社内

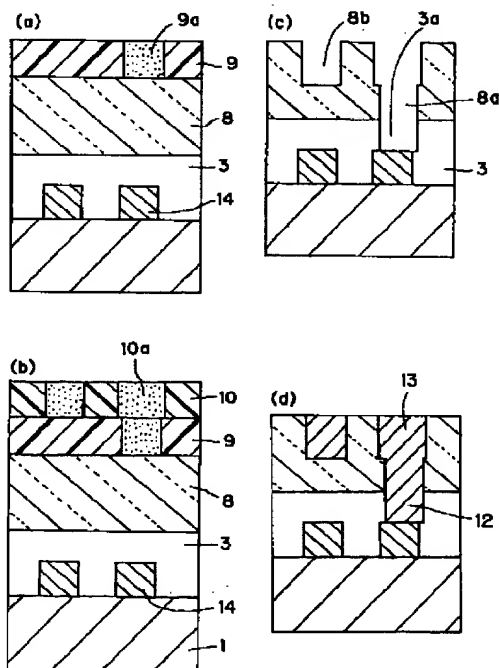
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 層間絶縁膜を低誘電率化して配線間容量を低減させた多層配線構造を少ない工程数で製造できるようにする。

【構成】 下地A1配線14が形成された半導体基板1上にシリコン酸化膜3を形成し、その上に低誘電率樹脂膜8、低感度の第1のフォトリソ膜9を形成し、露光する〔図6(a)〕。次に、高感度の第2のフォトリソ膜10を形成し、露光する〔図6(b)〕。第1、第2のフォトリソ膜を同時に現像し、縦接続孔パターンと配線溝パターンを形成する。ドライエッチングにより、フォトリソを除去するとともにフォトリソのパターンを樹脂膜8に転写する。シリコン酸化膜を選択的にエッチングして縦接続孔3aを形成する〔図6(c)〕。Cuの堆積と樹脂膜上のCuの研磨除去により、縦接続配線12と埋め込みCu配線13を形成する〔図6(d)〕。



3a... 縦接続孔
14... 下地A1配線

1

【特許請求の範囲】

【請求項1】 半導体基板上に、第1の開口部が開孔された第1の感光性樹脂膜が形成され、該第1の感光性樹脂膜上に、該第1の感光性樹脂膜よりも高感度の材料からなり、前記第1の開口部に連なる第2の開口部が開孔された第2の感光性樹脂膜が形成され、前記第1および第2の開口部が導電性材料により充填されていることを特徴とする半導体装置。

【請求項2】 近接して配置され局所配線により接続された複数の半導体素子を有する回路ブロックを複数個有し、複数の回路ブロック間が長距離配線により接続されている半導体装置において、前記局所配線は無機層間絶縁膜に形成された溝内に埋め込まれ、前記長距離配線は樹脂層間絶縁膜に形成された溝内に埋め込まれていることを特徴とする半導体装置。

【請求項3】 前記樹脂層間絶縁膜がベンゾシクロブテンにより形成され、前記長距離配線が銅を主体とする導電材料により形成されていることを特徴とする請求項2記載の半導体装置。

【請求項4】 (1) 半導体基板上に形成された層間絶縁膜上に第1の感光性樹脂膜を形成しこれに第1の開口パターンを露光する工程と、

(2) 前記第1の感光性樹脂膜よりも高感度の第2の感光性樹脂膜を第1の感光性樹脂膜上に形成する工程と、

(3) 前記第1の感光性樹脂膜が十分に感光しない時間で前記第2の感光性樹脂膜に第2の開口パターンを露光する工程と、

(4) 前記第1の感光性樹脂膜と前記第2の感光性樹脂膜を同時に現像することにより、第1の感光性樹脂膜の第1の開口と前記第2の感光性樹脂膜の第2の開口とを一括して形成する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項5】 前記第(4)の工程の後に、前記第1および第2の開口内を導電性材料により埋め込む工程が付加されていることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記層間絶縁膜が有機材料により形成されており、前記第(4)の工程の後に、(a)ドライエッチング法により、前記第1および第2の感光性樹脂膜を除去するとともに前記第1および第2の開口を前記層間絶縁膜に転写する工程と、(b)前記層間絶縁膜に転写された第1および第2の開口内を導電性材料により埋め込む工程と、が付加されていることを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、特に半導体集積回路の配線構造とその形成方法に関するものである。

【0002】

2

【従来の技術】 シリコン基板上の微細な半導体素子、例えばMOSFETから構成される大規模半導体集積回路(LSI)では、複数のMOSFETを接続して小規模なCMOS回路ブロックを形成するための局所配線と、これらのCMOS回路ブロック間を接続する長距離配線が形成されている。ここで、微細なMOSFETを接続する局所配線では狭ピッチ化が最優先課題となる。

方、長距離配線では、チップ面積の増大により配線長が長くなり、配線間容量カップリングノイズやCR遅延(寄生容量・配線抵抗遅延)の増大が問題視されるようになってきている。従って、長距離配線においては、多層化により配線設計自由度を増加させて総配線長を低減させることと、層間絶縁膜の低誘電率化が主要な課題となっている。

【0003】 図8は、第1の従来例として最も一般的なA1多層配線の形成プロセスを説明するための工程順断面図である。まず、半導体基板1上に形成されたシリコン酸化膜からなる下地層間絶縁膜21上に、第1のA1配線22を形成する。第1のA1配線22上にCVD法によりシリコン酸化膜からなる層間絶縁膜23を成長させる。化学機械研磨法で層間絶縁膜23を平坦化した後、フォトリソグラフィ法により第1のフォトレジスト膜24に縦接続孔パターンを形成し、この第1のフォトレジスト膜24をマスクとして、CF₄ガスを用いたドライエッチングにより層間絶縁膜23に縦接続孔23aを形成する〔図8(a)〕。

【0004】 O₂ガスで第1のフォトレジスト膜24を灰化除去した後、Ti(100Å)/TiN(500Å)のバリア膜(図示せず)を堆積し、さらにCVD法によりブランケットタングステンであるタングステン膜18aを成膜する〔図8(b)〕。F系ガスでタングステン膜18aをエッチバックして、タングステンプラグ18を形成する。続いて、Ti(100Å)/TiN(500Å)のバリア膜(図示せず)を堆積し、さらにアルミニウムを堆積して、Ti/TiN/A1からなる積層A1膜25a形成する。次いで、フォトリソグラフィ法により配線パターンの第2のフォトレジスト膜26を形成する〔図8(c)〕。

【0005】 第2のフォトレジスト膜26をマスクとして、Cl系ガスを用いて積層A1膜25aをドライエッチングして、第2のA1配線25を形成する。その後、O₂ガスを用いてフォトレジストを灰化除去する〔図8(d)〕。

【0006】 多層配線形成のプロセスステップ数低減を目的として、縦接続配線(スルーホール)とこれに連なる上層配線を同一工程において形成する方法も提案されている。図9から図11は、カンタラ(C.W. Kaanta, 1991 VMIC Conference, p.144)によって提案された層間絶縁膜に埋め込み配線を形成する第2の従来例を説明するための工程順断面図である。まず、半導体基板1上

10

20

30

40

50

3

に、配線溝を有するシリコン酸化物3とその中に埋め込まれた溝埋め込みA1配線2を形成し、その上に酸化シリコンからなる層間絶縁膜23を形成する。続いて、第1のフォトレジスト膜24を塗布し、露光と現像を行って、第1のフォトレジスト膜24に縦接続孔パターン24aを形成する〔図9(a)〕。

【0007】さらに、第2のフォトレジスト膜26を塗布し、露光と現像を行って、第2のフォトレジスト膜26に配線溝パターン26aを形成する〔図9(b)〕。しかる後、第1および第2のフォトレジスト膜をマスクとして、フッ素系ガスを用いたドライエッチングを行って、層間絶縁膜23に縦接続孔パターン23cを形成する。この時、縦接続孔の底部が層間絶縁膜の中間部に位置する程度でエッチングを終了する〔図9(c)〕。

【0008】次に、エッチングガスを O_2 ガスに切り替えて、第2のフォトレジスト膜26に形成されている配線溝パターン26aを、第1のフォトレジスト膜24に転写して、配線溝パターン24bを形成する〔図10(a)〕。再びエッチングガスをフッ素系に切り替え、配線溝パターンの転写された第1のフォトレジスト膜24をマスクにエッチングを行って、層間絶縁膜23に配線溝23bを形成する。この際、層間絶縁膜に予め形成されている縦接続孔パターン23cも再びエッチングが進行して、その底部がA1配線2に達する縦接続孔23aが形成される〔図10(b)〕。

【0009】 O_2 プラズマガスを用いて層間絶縁膜上のフォトレジスト膜を除去し〔図10(c)〕、蒸着法あるいはスパッタ法により、層間絶縁膜23に形成された配線溝と縦接続孔とを埋め込みながらA1等の金属膜27を成長させる〔図11(a)〕。最後に、化学機械研磨法で層間絶縁膜23上の金属膜27を選択的に除去して、縦接続配線28と溝埋め込み配線29とを形成する〔図11(b)〕。

【0010】一方、配線間容量の抑制を目的とした多層配線形成プロセスも提案されている。配線間容量の低減には、層間絶縁膜の低誘電率化が有効である。第1および第2の従来例で示したように、層間絶縁膜にはプラズマCVD法によるシリコン酸化膜が用いられているが、その比誘電率(ϵ)は3.9~4.5程度である。酸化膜中にフッ素(F)を添加することにより、 ϵ は3.1程度まで低減できるが、無機薄膜材料による層間絶縁膜の誘電率を3.0以下にすることは難しいとされている。

【0011】このため、ポリイミド($\epsilon=2.5\sim3.5$)に代表される有機材料が注目されている。図12ないし図13は、特開平2-235359号公報にて提案された、低比誘電率材料としてポリイミドを用いた多層配線形成プロセスを説明するための工程順断面図である(以下、この例を第3の従来例という)。まず、半導体基板1上の下地層間絶縁膜21上に第1のA1配線22

4

を形成し、その上にシリコン酸化膜からなる層間絶縁膜23を成長させる。さらに、その上にスピンコーティング法によりポリイミド膜30を成膜する〔図12(a)〕。ポリイミド膜30上に第1のフォトレジスト膜24を塗付し、これに縦接続孔パターン24aを形成する〔図12(b)〕。

【0012】その後、 O_2 を反応ガスとするドライエッチングにより、ポリイミド膜30に縦接続孔30aを形成する〔図12(c)〕。この際、ポリイミド膜30上のフォトレジストは灰化除去される。ポリイミド膜30のエッチングに O_2 プラズマガスを用いているため、ポリイミド下の無機の層間絶縁膜23が現れると、エッチングは停止する。次に、エッチングガスを CF_4 に切り替えて、無機層間絶縁膜をも貫通する縦接続孔30bを形成する〔図13(a)〕。

【0013】A1膜を成膜し、配線パターン形状の第2のフォトレジスト膜26を形成した後、これをマスクとした、 Cl_2 ガスを用いたドライエッチングにより第2のA1配線25を形成する〔図13(b)〕。最後に、 O_2 プラズマガスで第2のフォトレジスト膜26を灰化除去する〔図13(c)〕。

【0014】

【発明が解決しようとする課題】しかしながら、第1、第2および第3の従来例には、それぞれ以下に述べる課題がある。まず、第1の従来例の方法は、多層配線形成のプロセスステップ数が多い。少なくとも2回のフォトリソグラフィ工程(縦接続孔パターンと第2の配線パターン)、2回の金属膜成長工程(タングステンとアルミニウム)、2回のドライエッチング工程(縦接続孔形成と第2のA1配線形成)と、1回のCMP工程(層間絶縁膜の平坦化)を必要としている。このため、多層配線形成のプロセスがコスト高となってしまう。

【0015】第2の従来例では、配線溝と縦接続孔に一括して金属膜を形成することで、金属膜成膜工程が1回となりプロセスステップ数が低減している。ところで、第2の従来例の場合、第1のフォトレジスト膜に縦接続孔パターンを形成した後、第2のフォトレジスト膜を塗布し、露光・現像により第2のフォトレジスト膜に配線溝パターンを形成している。このとき、第1のフォトレジスト膜には縦接続孔パターンの段差があるため、第2のフォトレジスト膜が局所的に厚くなってしまふ。

【0016】第2のフォトレジスト膜に配線溝パターンを形成する際、この局所的に厚くなった領域の第2のフォトレジスト膜に対して十分な露光を行う必要があるが、縦接続孔パターン形成領域以外の第2のフォトレジスト膜の露光量が過剰となり、配線溝パターン幅が増大してしまう。特に、パターンが密集している領域では、隣接するフォトレジスト膜パターンと重なり合い、一つのパターンになってしまうという問題が起こる。

【0017】また、第2の従来例では、第1のフォトレ

5

ジスト膜からなる縦接続孔パターンと第2のフォトレジスト膜からなる配線溝パターンを、ドライエッチングにより層間絶縁膜に転写しているが、層間絶縁膜にシリコン酸化膜を用いているためエッチングガスの切り替え回数が多いといった欠点もある。ここでは、まずC1系ガスで第1のフォトレジスト膜の縦接続孔パターンを層間絶縁膜に転写する。

【0018】次に、O₂ プラズマガスで第2のフォトレジスト膜の配線溝パターンを第1のフォトレジスト膜パターンに転写し、C1系ガスに再び切り替えて第1のフォトレジスト膜に転写された配線溝パターンをマスクとして層間絶縁膜に配線溝パターンを転写し、最後に再びO₂ プラズマガスで第1のフォトレジスト膜パターンを除去している。すなわち、C1系→O₂系→C1系→O₂系のエッチングガス切り替えが必要となっており、工程が煩雑でまた時間も多くなる。また、第1および第2の従来例では、層間絶縁膜を無機材料を用いて形成していたため、寄生容量を小さくすることはできず、回路ブロック間のグローバルな配線を形成するのには不向きであった。

【0019】また、第3の従来例では、層間絶縁膜を低誘電率有機材料であるポリイミドとシリコン酸化膜から成る積層絶縁膜により形成し、第1のフォトレジスト膜に形成した縦接続孔パターンのみを積層絶縁膜に転写している。その後、A1を成膜し、これを第2のフォトレジストによりドライエッチングして配線パターンを形成しているが、A1のドライエッチングに使用した第2のフォトレジスト膜の除去時には、O₂ プラズマガスあるいはレジスト剥離液により、ポリイミドも一部除去され、膜減りとなる欠点があった〔図13(c)参照〕。すなわち、有機層間絶縁膜上にA1配線パターンを形成した場合には、信頼性の高いデバイスを得ることは困難である。

【0020】本発明は、上述した従来例の問題点に鑑みてなされたものであって、その目的は、第1に、異なるパターンを有する2層構造感光性樹脂膜を形成する際に、上層感光性樹脂膜のパターン形成時に下層感光性樹脂膜のパターンの影響を無くした半導体装置の構造とその製造方法を提供することである。第2に、有機絶縁膜への配線形成においてフォトリソグラフィやドライエッチングの工程を可能な限り低減することができる半導体装置の構造およびその製造方法を提供することである。第3に、大規模集積回路において高密度な局所配線と低容量の長距離配線層からなる配線層構造とそれに適した製造方法を提供することである。

【0021】

【課題を解決するための手段】上記の目的を達成するための本発明による半導体装置は、半導体基板上に、第1の開口部が開孔された第1の感光性樹脂膜が形成され、該第1の感光性樹脂膜上に、該第1の感光性樹脂膜より

6

も高感度の材料からなり、前記第1の開口部に連なる第2の開口部が開孔された第2の感光性樹脂膜が形成され、前記第1および第2の開口部が導電性材料により充填されていることを特徴としている。

【0022】上記の目的を達成するための本発明によるもう一つの半導体装置は、近接して配置され局所配線により接続された複数の半導体素子を有する回路ブロックを複数個有し、複数の回路ブロック間が長距離配線により接続されている半導体装置において、前記局所配線は無機層間絶縁膜に形成された溝内に埋め込まれ、前記長距離配線は樹脂層間絶縁膜に形成された溝内に埋め込まれていることを特徴としている。

【0023】また、上記の目的を達成するための本発明による半導体装置の製造方法は、(1)半導体基板上に形成された層間絶縁膜上に第1の感光性樹脂膜を形成しこれに第1の開口パターンを露光する工程と、(2)前記第1の感光性樹脂膜よりも高感度の第2の感光性樹脂膜を第1の感光性樹脂膜上に形成する工程と、(3)前記第1の感光性樹脂膜が十分に感光しない時間で前記第2の感光性樹脂膜に第2の開口パターンを露光する工程と、(4)前記第1の感光性樹脂膜と前記第2の感光性樹脂膜を同時に現像することにより、第1の感光性樹脂膜の第1の開口と第2の感光性樹脂膜の第2の開口とを一括して形成する工程と、を含んでいる。

【0024】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。本発明は、感光性樹脂膜の感光特性の違いを利用する。図1は、本発明に用いる第1および第2の感光性樹脂膜の感光特性を模式的に示したものである。第2の感光性樹脂膜の材料は、第1の感光性樹脂膜の材料に比較して、相対的に高感度であるものを選択する。このように、感光特性の異なる2種類の材料を用いると、第1の感光性樹脂膜は感光されないが、第2の感光性樹脂膜は十分に感光する露光量条件範囲が存在する。

【0025】本発明においては、まず、第1の感光性樹脂膜を塗付し、これを露光して潜像を形成する。そして、現像を行うことなくその上に第2の感光性樹脂膜を形成し上記の露光量条件範囲において露光を行う。これにより第2の感光性樹脂膜のみを感光させることができる。その後、第1および第2の感光性樹脂膜を同時に現像する。この手段を採ることにより、以下の効果を得ることができる。

① 第2の感光性樹脂膜の塗付時および露光時には、第1の感光性樹脂膜は未現像状態であるため、その表面は平坦であり第2の感光性樹脂膜を均一の膜厚に形成することができる。その結果、第2の感光性樹脂膜の露光が容易になり、露光量の過・不足を防止することができる。

② 1回の現像処理により、第1および第2の感光性樹

脂膜の現像を行うことができるため、工数を短縮することができる。

【0026】図2は、本発明の実施の形態を説明するための工程順断面図である。シリコンからなる半導体基板100上に、直接あるいは他の層間絶縁膜を介して層間絶縁膜200を形成する。この層間絶縁膜にはすでに埋め込み型の配線が形成されている場合と、これから形成する場合とがある。これから埋め込み配線を形成する場合には、有機材料の層間絶縁膜が用いられる。層間絶縁膜200上に、第1の感光性樹脂膜300を形成し、マスクを介して露光を行い第1の開口パターン露光領域300aを形成する〔図2(a)〕。

【0027】第1の感光性樹脂膜300を現像することなく、その上に第2の感光性樹脂膜400を塗付する。この第2の感光性樹脂膜の材料には第1の感光性樹脂膜より高感度のものが用いられる〔図2(b)〕。次に、第2の感光性樹脂膜用のマスクを介して露光を行い、第2の感光性樹脂膜400に第2の開口パターン露光領域400aを形成する〔図2(c)〕。このときの露光の強度および時間は第1の感光性樹脂膜が感光することがないように設定される。

【0028】次に、現像を行って第1の開口パターン300bおよび第2の開口パターン400bを同時に形成する〔図2(d)〕。ここで、第1の開口パターンは縦接続孔パターンとなるものであり、第2の開口パターンは配線溝パターンとなるものである。

【0029】第1および第2の感光性樹脂膜はこのまま層間絶縁膜として用いることができる。層間絶縁膜として用いるのであれば、第1および第2の開口パターン内に導電性材料を埋め込んで縦接続配線および溝埋め込み配線を形成する。また、第1および第2の感光性樹脂膜を下層の層間絶縁膜200に開口パターンを転写するための用途に用いることができる。その場合には、図2(d)の状態からドライエッチングを行い、第1および第2の感光性樹脂膜を除去しつつそのパターンを層間絶縁膜200に転写する。しかる後、層間絶縁膜200に形成された開口内に導電性材料を埋め込み、縦接続配線および溝埋め込み配線を形成する。

【0030】以上の手段により、少ない工数により低容量で信頼性の高い溝埋め込み型配線を形成することができる。したがって、本発明により長距離配線に適した低寄生容量の配線構造を提供することができる。

【0031】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【第1の実施例】図3は、本発明の第1の実施例を説明するための工程断面図である。本実施例においては、感光特性の異なる2種類の感光性ポリイミドを層間絶縁膜として用いて多層配線を形成している。半導体基板1上に形成されたシリコン酸化膜3とその中に埋め込まれた

溝埋め込みA1配線2との上に、第1の感光性ポリイミド膜4を塗布し、露光を行って、縦接続孔パターン露光領域4aを形成する〔図3(a)〕。次に、第1の感光性ポリイミド膜の材料よりも高感度の感光性ポリイミドを塗付して第2の感光性ポリイミド膜5を形成する〔図3(b)〕。次いで、露光を行って第2の感光性ポリイミド膜5に配線溝パターン露光領域5aを形成する〔図3(c)〕。このとき、下層の第1の感光性ポリイミド膜が感光しない程度の露光量とすることが肝要である。

【0032】しかる後、現像液に浸すことにより、第1の感光性ポリイミド膜中の露光領域4aと、第2の感光性ポリイミド膜中の露光領域5aとを同時に溶解させる。この時、第1の感光性ポリイミド膜の露光領域上に第2の感光性ポリイミド膜の露光領域がない場合、第1の感光性ポリイミド膜のこの露光領域には現像液がかからないため、未現像領域4cとして残される。このようにして、第2の感光性ポリイミド膜に形成された配線溝5bの直下に、第1の感光性ポリイミド膜の縦接続孔4bが形成される〔図3(d)〕。

【0033】さらに、この配線溝5bと縦接続孔4bとを埋め込みながら、CVD法によりバリア層としてのTiN層(図示せず)と同じくCVD法により導電性膜としてA1を成長させる。化学機械研磨(CMP: Chemical Mechanical Polishing)法で、第2の感光性ポリイミド膜上のTiN/A1膜を除去することにより、溝埋め込みA1配線7と、これを下層の溝埋め込みA1配線2と接続するための縦接続配線6とが、感光特性の異なる積層ポリイミド膜中に形成される〔図3(e)〕。

【0034】〔第2の実施例〕次に、低誘電率有機材料膜としてベンゾシクロブテン(BCB: benzocyclobutene)を用いる第2の実施例について説明する。ベンゾシクロブテンの比誘電率は2.7であり、またベンゾシクロブテン中への銅の拡散がないことから、銅配線のための低誘電率有機絶縁膜として用いることができる。ベンゾシクロブテンのパターニングにはエッチングマスク層が必要である。第2の実施例では、マスク層として感光特性の異なるポジ型フォトレジストを用いる。

【0035】図4乃至図5は、第2の実施例を説明するための工程順断面図である。ここでは、第1のフォトレジスト膜を形成する材料として、染料を添加して感度を低下させたポジ型フォトレジストを用い、第2のフォトレジスト膜を形成する材料としては、染料無添加の高感度のポジ型フォトレジストを用いる。第1のフォトレジスト膜は700~800msecの露光時間で感光し、一方、第2のフォトレジスト膜は150~200msecの露光時間で感光する。すなわち、第2のフォトレジスト膜の露光の際に、第1のフォトレジスト膜が感光してしまうことはない。

【0036】まず、半導体基板1上に形成されたシリコン酸化膜3とその中に埋め込まれた溝埋め込みA1配線

2との上に、スピンコーティング法でベンゾシクロブテンを塗布して低誘電率樹脂膜8を形成し、窒素雰囲気中で250〜300度で加熱処理を行う。ベンゾシクロブテンの好ましい膜厚は、2000〜20000Å程度であるが、ここでは膜厚を10000Åとしたものとして説明を進める。次に、5000Åの第1のフォトレジスト膜9を塗布し、露光して縦接続孔パターン露光領域9aを形成する〔図4(a)〕。露光時間は約750msecである。露光後、100℃程度でポスト・エクスポージャー・ベークを行ってもよい。

【0037】その上に高感度のフォトレジストを塗布して膜厚5000Åの第2のフォトレジスト膜10を形成し、露光して配線溝パターン10aを形成する〔図4(b)〕。第2のフォトレジスト膜10の露光時間は約150msecであり、下地に位置する第1のフォトレジスト膜9の感度は十分に低いいためこの露光時に感光してしまうことはない。仮に、第1のフォトレジスト膜9が感光するにしても、第1のフォトレジスト膜の極表面層に限られる。ここでも、露光後、100℃程度でポスト・エクスポージャー・ベークを行ってもよい。次に、現像液を塗布することにより、第2のフォトレジスト膜10には配線溝パターン10bが、また第1のフォトレジスト膜9には縦接続孔パターン9bが形成される〔図4(c)〕。

【0038】この時、第1のフォトレジスト膜9の露光領域上に第2のフォトレジスト膜10の露光領域がない場合、下地に位置する第1のフォトレジスト膜に現像液がかからないため、現像は進行しない。このようにして、第2のフォトレジスト膜10の配線溝パターン10bの直下のみに、第1のフォトレジスト膜の縦接続孔パターン9bが形成される。

【0039】しかる後、 O_2 - CHF_3 -Arの混合ガスを用いて、ベンゾシクロブテンと第1および第2のフォトレジスト膜の各エッチング速度が等しくなる条件で、ドライエッチングを行う。このエッチング工程において、第1のフォトレジスト膜に形成された縦接続孔パターン9bと第2のフォトレジスト膜に形成された配線溝パターン10bとが、ベンゾシクロブテン膜に縦接続孔8aおよび配線溝8bとして転写されると同時に、ベンゾシクロブテン膜上の第1および第2のフォトレジスト膜が除去される〔図5(a)〕。

【0040】次に、CVD法により、ベンゾシクロブテン膜に転写された縦接続孔8aと配線溝8bとを埋め込みながら、CVD-Cu膜11を成長させる〔図5(b)〕。最後に、シリカ砥粒を用いた化学機械研磨法により、ベンゾシクロブテン上のCu膜を除去する。これにより、溝埋め込みCu配線13と、これを下層の溝埋め込みA1配線2と接続するための縦接続配線12とを低誘電率樹脂膜8内に形成することができる〔図5(c)〕。

【0041】ここでは、感光特性の異なる2種類のポジ型フォトレジスト膜を用いた場合について説明したが、感光特性の異なる2種類のネガ型フォトレジスト膜を用いることもできる。また、第1のフォトレジスト膜の露光後にベークして、感光剤を揮発させて露光感度を低下させ、その後に第2のフォトレジスト膜を塗布するようにしても同様な結果が得られる。また、ここでは、ベンゾシクロブテン上にCVD-Cu膜を直接成長させる場合について説明したが、下地に下層のA1配線層との反応を防止するための100〜300Å程度の膜厚のTiN膜などのバリア層を形成してもよい。

【0042】〔第3の実施例〕第2の実施例では、溝埋め込みA1配線の上にベンゾシクロブテン膜を形成していたが、第3の実施例では、A1薄膜をドライエッチングして形成するA1配線の上にベンゾシクロブテン膜を形成する。図6は、第3の実施例を説明するための工程順断面図である。ドライエッチング法で形成した下地A1配線14上に、CVD法でシリコン酸化膜3を成長させる。化学機械研磨法でシリコン酸化膜を平坦化した後、スピンコーティング法でベンゾシクロブテンを塗布して低誘電率樹脂膜8を形成する。

【0043】ベンゾシクロブテン膜上に低感度の第1のフォトレジスト膜9を形成し、これを露光して縦接続孔パターン露光領域9aを形成する〔図6(a)〕。高感度の第2のフォトレジスト膜10を塗布し、露光して配線溝パターン露光領域10aを形成する〔図6(b)〕。縦接続孔パターンおよび配線溝パターンの露光領域を同時に現像し、 $Ar-O_2$ 系ガスでエッチバックすることにより第1および第2のフォトレジスト膜に形成された縦接続孔パターンと配線溝パターンを、ベンゾシクロブテン膜に縦接続孔8a、配線溝8bと転写し、さらに $Ar-CF_4$ 系ガスでエッチングを行ってシリコン酸化膜3に縦接続孔3aを形成する〔図6(c)〕。CVD法でCu膜を成膜し、化学機械研磨法でベンゾシクロブテン上のCu膜を除去することにより、下地A1配線14と縦接続配線12により接続された溝埋め込みCu配線13を得ることができる〔図6(d)〕。

【0044】〔第4の実施例〕図7は、第4の実施例を説明するための断面図である。シリコン基板上の微細な半導体素子、例えばMOSFETを有する大規模半導体集積回路(LSI)では、複数のMOSFETを接続して小規模CMOS回路ブロックを形成するための局所配線(以下、ローカル配線という)と、このようなCMOS回路ブロック間を接続する長距離配線(以下、グローバル配線という)とが必要となる。微細なMOSFETを接続するローカル配線は狭ピッチ化が最優先課題である。

【0045】一方、ローカル配線層上に形成されるグローバル配線はチップ面積の増大により長くなり、CR遅

11

延の低減が最優先課題となっている。従って、第4の実施例では、ローカル配線にはシリコン酸化膜に形成された配線溝にA1を埋め込んだ第1および第2の埋め込みA1配線を配置し、またグローバル配線には、ベンゾシクロブテンに形成された配線溝にCuを埋め込んだ第1および第2の埋め込みCu配線を配置する。

【0046】この実施例の半導体装置を作製するには、まず、半導体基板1に形成された素子分離用の深さ3000Å〜5000Åの溝にシリコン酸化膜を埋め込んで平坦化素子分離膜15を形成する。具体的には、低圧CVD法により素子分離溝を埋め込みながら、シリコン酸化膜を成長させ、中性シリカ砥粒を用いた化学機械研磨法によってシリコン酸化膜を平坦化する。素子分離されたシリコン領域にサリサイド構造のMOSTランジスタ16を形成し、CVD法で500Å程度のシリコン酸化膜あるいはシリコン窒化膜(図示せず)と5000Å程度のBPSG(ボロン・リン・シリケートガラス)膜17を成長させ、800〜900度の窒素雰囲気中でリフローアニールする。

【0047】シリカ砥粒を用いた化学機械研磨法でBPSG膜表面を平坦化研磨した後、MOSFETの拡散層とゲート電極の表面に形成されたシリサイド膜上にコンタクトホールを形成する。コリメートスパッタ法で、Ti(100Å)/TiN(500Å)のバリア膜(図示せず)を成長させ、さらにCVD法でタングステン膜を成長させる。pH9程度のシリカ砥粒を用いた化学機械研磨法でタングステンを研磨し、コンタクトホール内にタングステンプラグ18を形成する。

【0048】次に、ローカル配線形成工程を行う。まず、CVD法で5000Å程度の第1のシリコン酸化膜3Aを成長させ、この第1のシリコン酸化膜3Aに第1の配線溝を形成する。コリメートスパッタ法で500ÅのTiN(図示せず)を成膜し、高温スパッタ法で配線溝を埋め込みながら8000Å程度のA1を成長させる。しかる後、シリカ砥粒を用いた化学機械研磨法で、第1のシリコン酸化膜3A上のA1膜を研磨することにより、第1の埋め込みA1配線2aを形成する。さらに、10000Åの第2のシリコン酸化膜3Bを成長させ、縦接続孔(スルーホール)および第2の配線溝を形成する。500ÅのTiN膜(図示せず)を形成した後、上記した高温スパッタ法によるA1の成膜と化学機械研磨法による第2のシリコン酸化膜3B上のA1膜の除去により、縦接続配線6および第2の埋め込みA1配線2bを形成する。

【0049】最後に、グローバル配線形成工程を行う。グローバル配線には層間絶縁膜として低誘電率のベンゾシクロブテンを用い、また配線材料には低抵抗のCuを用いる。まず、上層のシリコン酸化膜3に形成された第2の埋め込みA1配線2b上に、ベンゾシクロブテンを用いて膜厚10000Åの第1の低誘電率樹脂膜8Aを

12

形成する。次に、図4および図5に示した第3の実施例による製造方法で、第1の低誘電率樹脂膜8Aに第3の配線溝と縦接続孔を形成し、CVD法によるCu膜の成長と化学機械研磨法による第1の低誘電率樹脂膜8A上のCuの研磨により、縦接続孔と第3の配線溝にCuを埋め込んだ縦接続配線12および第1の埋め込みCu配線13aを形成する。

【0050】第1の低誘電率樹脂膜8A上に1000Å程度の薄いシリコン窒化膜19を成長させた後、ベンゾシクロブテンおよびCuを用い同様の方法で第2の低誘電率樹脂膜8B、縦接続配線12および第2の埋め込みCu配線13bを形成する。Cuの酸化を防止するため、第2溝埋め込みCu配線13b上にシリコン窒化膜19およびシリコン酸化膜20からなる積層構造パッシベーション膜を形成する。以上の工程により、半導体基板に形成されたMOSFET上に、シリコン酸化膜に形成された第1および第2の埋め込みA1配線からなるローカル配線と、低誘電率の有機絶縁膜であるベンゾシクロブテンに形成された第1および第2の埋め込みCu配線からなるグローバル配線が形成される。

【0051】

【発明の効果】以上説明したように、本発明によれば、第1の感光性樹脂膜と第2の感光性樹脂膜との感度差を利用することにより、1回の現像処理で第1および第2の感光性樹脂膜に一括してパターンを形成することが可能となる。また、下層感光性樹脂膜に露光・現像によりパターンを形成した後に上層感光性樹脂膜の露光を行う場合と異なり、パターンが形成されていない平坦な下層感光性樹脂膜上に上層感光性樹脂膜を形成できることにより、下地段差の影響による寸法シフトのない露光パターンの形成が可能となる。

【0052】さらに、本発明によれば、層間絶縁膜に低誘電率有機膜を用い、その上に設けられた、縦接続孔パターンおよび配線溝パターンが形成された感光度の異なる第1および第2の感光性樹脂膜を、酸素含プラズマガスでエッチバックすることにより、感光性樹脂膜の除去とともに低誘電率有機膜に一括して縦接続孔と配線溝とを形成することが可能になる。そして、この縦接続孔と配線溝とに金属を埋め込むことにより多層配線を形成できることから、多層配線の形成プロセスステップを大幅に低減させることができる。したがって、本発明によれば、層間絶縁膜の低誘電率化による配線間容量の低減効果に基づく性能向上と、多層配線形成の工程数削減による製造コスト低減とを、同時に達成することができる。特に、層間絶縁膜の低誘電率化は回路ブロック間を結ぶ長距離配線に対して有効であり、長距離配線の信号漏洩ノイズを低減し、信号遅延を抑制した高性能半導体集積回路を実現することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態を説明するための感光性

13

樹脂膜の特性図である。

【図2】 本発明の実施の形態を説明するための工程順断面図である。

【図3】 本発明の第1の実施例の製造方法を説明するための工程順断面図である。

【図4】 本発明の第2の実施例の製造方法を説明するための工程順断面図の一部である。

【図5】 本発明の第2の実施例の製造方法を説明するための、図4の工程に続く工程での工程順断面図である。

【図6】 本発明の第3の実施例の製造方法を説明するための工程順断面図である。

【図7】 本発明の第4実施例の構造およびその製造方法を説明するための断面図である。

【図8】 第1の従来例を説明するための工程順断面図である。

【図9】 第2の従来例を説明するための工程順断面図の一部である。

【図10】 第2の従来例を説明するための、図9の工程に続く工程での工程順断面図の一部である。

【図11】 第2の従来例を説明するための、図10の工程に続く工程での工程順断面図である。

【図12】 第3の従来例を説明するための工程順断面図の一部である。

【図13】 第3の従来例を説明するための、図12の工程に続く工程での工程順断面図である。

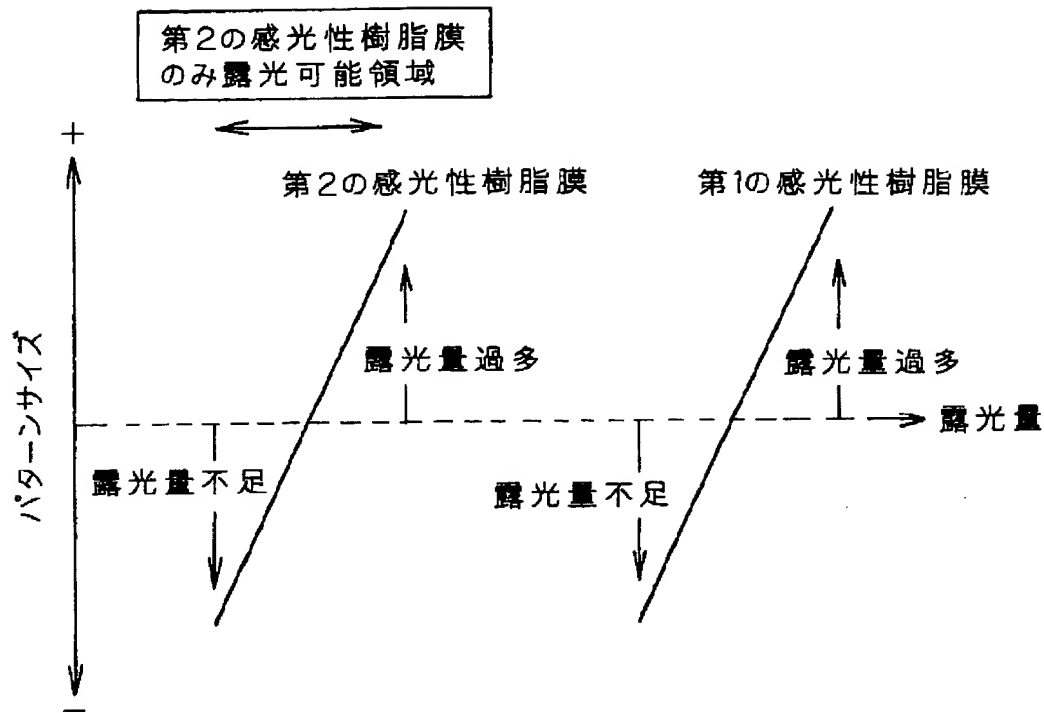
【符号の説明】

- 1 半導体基板
- 2 溝埋め込みA1配線
- 2a 第1の埋め込みA1配線
- 2b 第2の埋め込みA1配線
- 3 シリコン酸化膜
- 3a 縦接続孔
- 3A 第1のシリコン酸化膜
- 3B 第2のシリコン酸化膜
- 4 第1の感光性ポリイミド膜
- 4a 縦接続孔パターン露光領域
- 4b 縦接続孔
- 4c 未現像領域
- 5 第2の感光性ポリイミド膜
- 5a 配線溝パターン露光領域
- 5b 配線溝
- 6、12 縦接続配線
- 7 溝埋め込みA1配線
- 8 低誘電率樹脂膜（ベンゾシクロブテン）
- 8a 縦接続孔
- 8b 配線溝

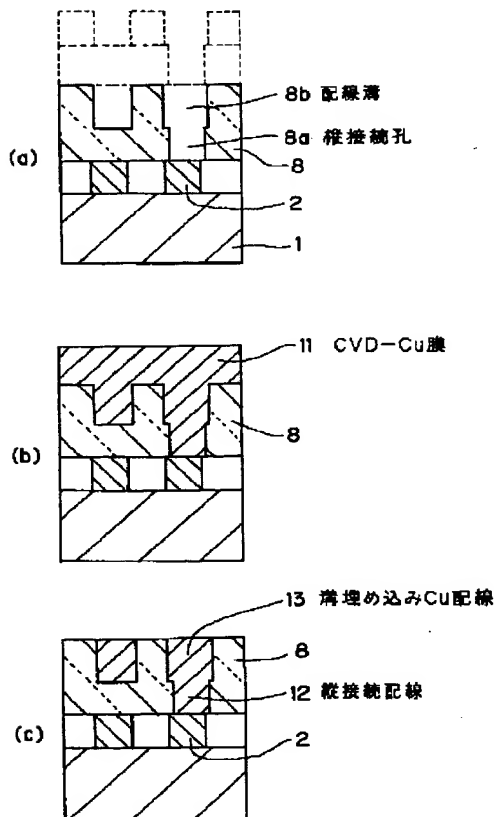
14

- 8A 第1の低誘電率樹脂膜
- 8B 第2の低誘電率樹脂膜
- 9 第1のフォトレジスト膜
- 9a 縦接続孔パターン露光領域
- 9b 縦接続孔パターン
- 10 第2のフォトレジスト膜
- 10a 配線溝パターン露光領域
- 10b 配線溝パターン
- 11 CVD-Cu膜
- 10 13 溝埋め込みCu配線
- 13a 第1の埋め込みCu配線
- 13b 第2の埋め込みCu配線
- 14 下地Al配線
- 15 平坦化素子分離膜
- 16 MOSTランジスタ
- 17 BPSG膜
- 18 タングステンプラグ
- 18a タングステン膜
- 19 シリコン窒化膜
- 20 20 シリコン酸化膜
- 21 下地層間絶縁膜
- 22 第1のAl配線
- 23 層間絶縁膜
- 23a 縦接続孔
- 23b 配線溝
- 23c 縦接続孔パターン
- 24 第1のフォトレジスト膜
- 24a 縦接続孔パターン
- 24b 配線溝パターン
- 30 25 第2のAl配線
- 25a 積層Al膜
- 26 第2のフォトレジスト膜
- 26a 配線溝パターン
- 27 金属膜
- 28 縦接続配線
- 29 溝埋め込み配線
- 30 ポリイミド膜
- 30a、30b 縦接続孔
- 100 半導体基板
- 40 200 層間絶縁膜
- 300 第1の感光性樹脂膜
- 300a 第1の開口パターン露光領域
- 300b 第1の開口パターン
- 400 第2の感光性樹脂膜
- 400a 第2の開口パターン露光領域
- 400b 第2の開口パターン

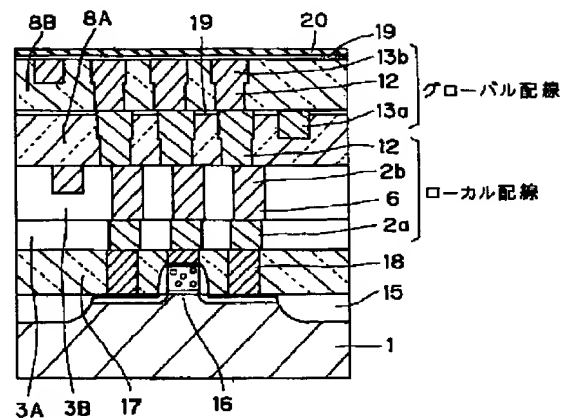
【図1】



【図5】

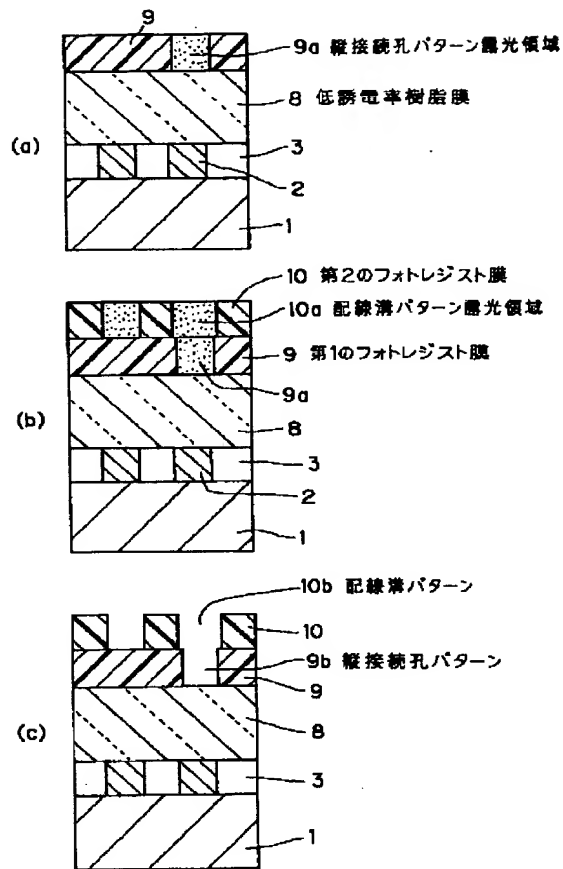


【図7】

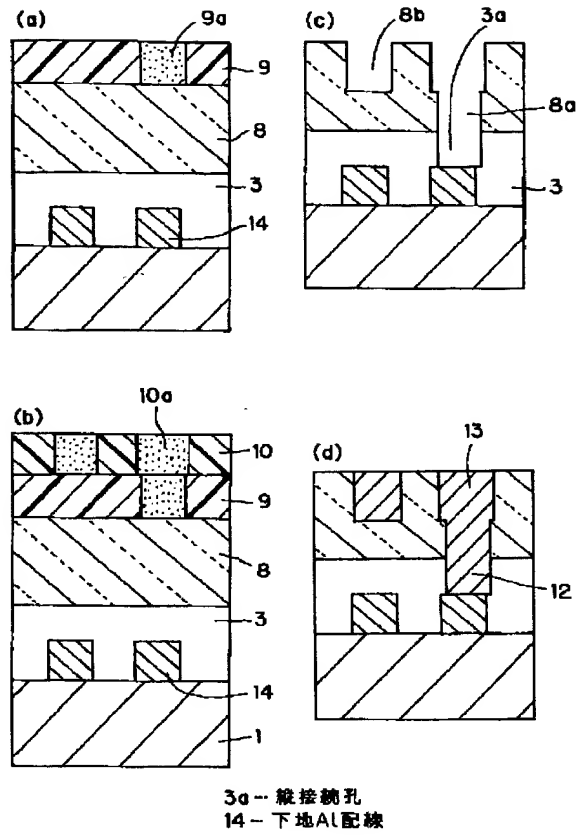


- 2a... 第1の埋め込みAl配線
- 2b... 第2の埋め込みAl配線
- 3A... 第1のシリコン酸化膜
- 3B... 第2のシリコン酸化膜
- 8A... 第1の低誘電率樹脂膜
- 8B... 第2の低誘電率樹脂膜
- 13a... 第1の埋め込みCu配線
- 13b... 第2の埋め込みCu配線
- 15... 平坦化素子分離膜
- 16... MOSTランジスタ
- 17... BPSG膜
- 19... シリコン窒化膜
- 20... シリコン酸化膜

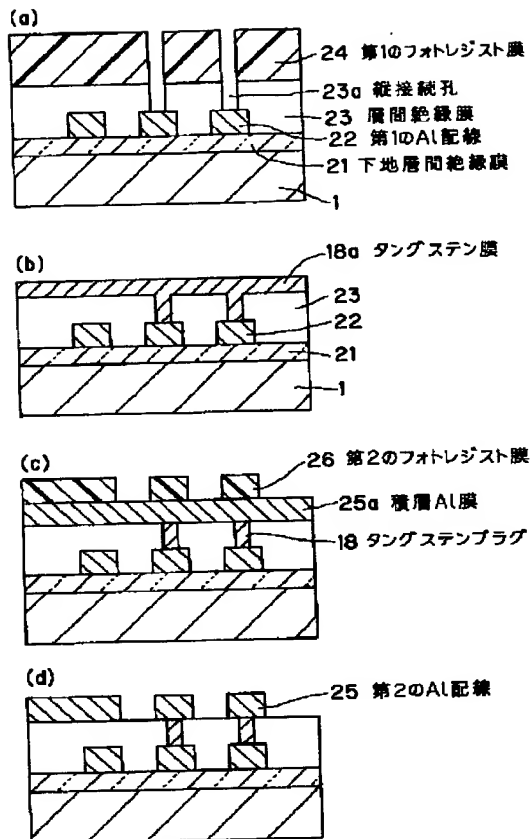
【図4】



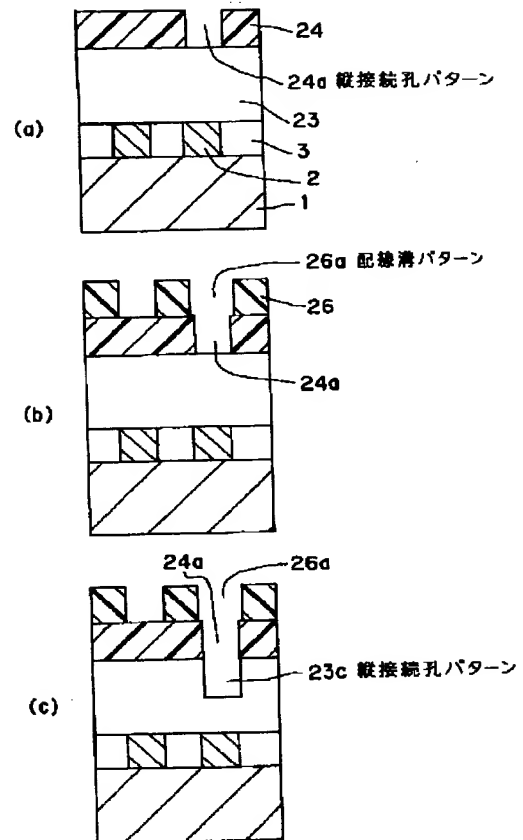
【図6】



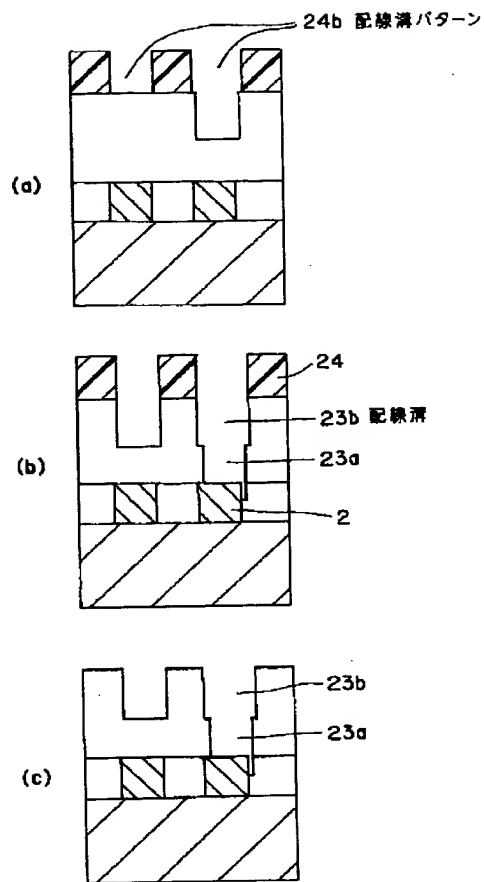
【図8】



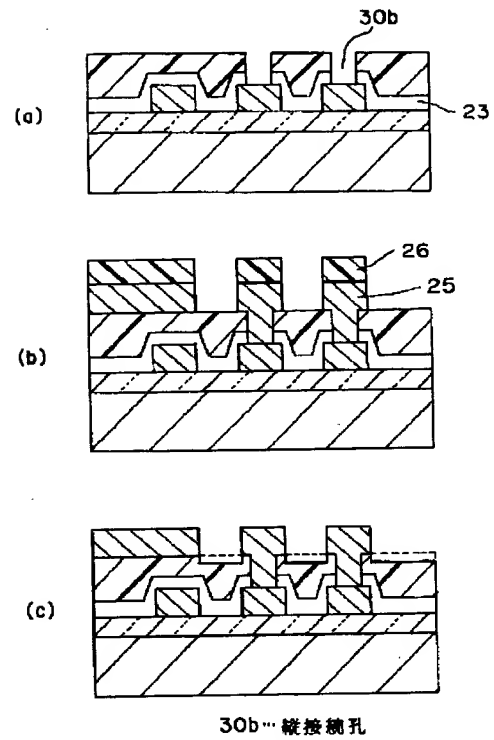
【図9】



【図10】



【図13】



フロントページの続き

(51) Int. Cl.⁶

識別記号

片内整理番号

F I

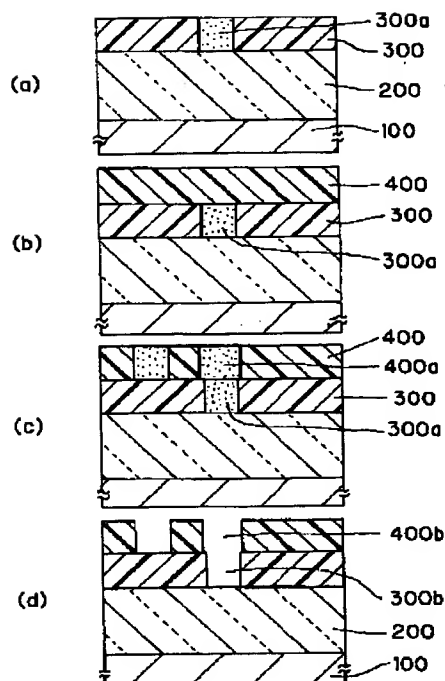
H 0 1 L 21/90

技術表示箇所

S

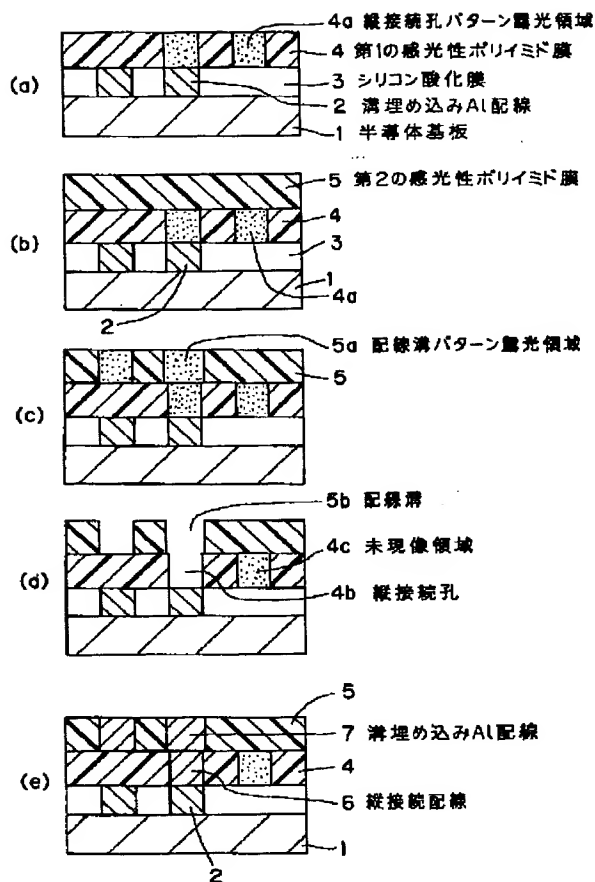
K

【図2】

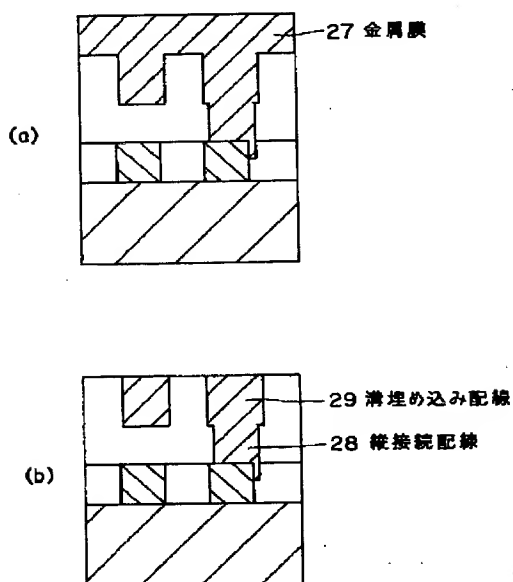


100…半導体基板
200…層間絶縁膜
300…第1の感光性樹脂膜
300a…第1の開孔パターン露光領域
300b…第1の開孔パターン
400…第2の感光性樹脂膜
400a…第2の開孔パターン露光領域
400b…第2の開孔パターン

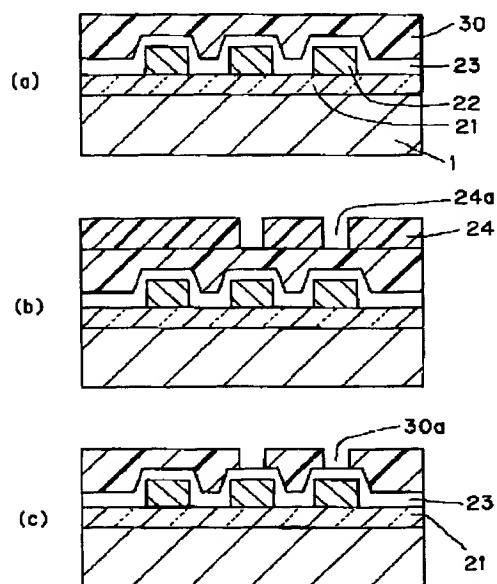
【図3】



【図11】



【図12】



30…ポリイミド膜
30a…縦接続孔

1/34/4 (Item 2 from file: 347)

05440629 **Image available**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Pub. No.: 09-055429 [JP 9055429 A]

Published: February 25, 1997 (19970225)

Inventor: HAYASHI YOSHIHIRO

ONODERA TAKAHIRO

Applicant: NEC CORP [000423] (A Japanese Company or Corporation), JP (Japan)

Application No.: 07-224539 [JP 95224539]

Filed: August 10, 1995 (19950810)

International Class: [6] H01L-021/768; H01L-021/027; H01L-021/3065; H01L-021/312; H01L-021/3205

JAPIO Class: 42.2 (ELECTRONICS -- Solid State Components); 14.2 (ORGANIC CHEMISTRY -- High Polymer Molecular Compounds)

JAPIO Keyword: R004 (PLASMA); R044 (CHEMISTRY -- Photosensitive Resins); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R129 (ELECTRONIC MATERIALS -- Super High Density Integrated Circuits, LSI & GS)

ABSTRACT

PROBLEM TO BE SOLVED: To attain a multilayer wiring structure which has a low dielectric constant of an interlayer insulating film to reduce the cavity between wirings to be manufactured in a small number of steps.

SOLUTION: A silicon oxide film 3 is formed on a semiconductor substrate 1 whereon underneath Al wirings 14 are formed and then a low dielectric constant resin film 8 and the first low sensitivity photoresist film 9 are formed on the silicon oxide film 3 to be exposed (a). Next, the second high sensitivity photoresist film 10 is formed to be exposed (b). Next, the first and second photoresist films 9, 10 are simultaneously deposited so as to form a vertical connecting pattern and wiring trench pattern. Next, the photoresist film are removed by dryetching step simultaneously to transfer the patterns of the photoresist films to a resin film 8. Next, the silicon oxide film 3 is selectively etched away to form a vertical connecting hole 3a (c). Finally, a vertical connecting wiring 12 and a trench buried Cu wiring 13 are formed by Cu deposition and Cu grinding removal on the resin film 8.

JAPIO (Dialog® File 347): (c) 2002 JPO & JAPIO. All rights reserved.

1/34/5 (Item 1 from file: 351)

011891398 **Image available**

WPI ACC No: 1998-308308/ 199827

Semiconductor device using low dielectric constant organic film manufacturing method e.g. for IC - involves forming wiring after removing unnecessary wiring materials formed on substrate and this wiring formed is embedded in connection hole and wiring groove by grinding process

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10112503	A	19980428	JP 96281775	A	19961003	199827 B

Priority Applications (No Type Date): JP 96281775 A 19961003

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 10112503	A		6	H01L-021/768	

Abstract (Basic): JP 10112503 A

The method involves forming an oxidation silicon film (2) and a low dielectric constant organic film (3) sequentially on a silicon substrate (1). A second oxidation silicon film (4) is formed on the low dielectric constant organic film. The second oxidation silicon film is etched selectively to form an opening (6) of wiring pattern.

The low dielectric constant organic film and first oxidation silicon film are selectively etched in the opening region to form a connection hole (8) whose width is smaller than that of the opening. A wiring groove (9) is formed by etching low dielectric constant organic film using etching mask. A wiring material (11) is formed on the whole surface of the substrate. The wiring is formed in the connection hole and wiring groove by grinding the unnecessary wiring material embedded in the connection hole.

ADVANTAGE - Facilitates formation of wiring. Reduces number of manufacturing processes involved.

Dwg.1/12

Derwent Class: U11

International Patent Class (Main): H01L-021/768

International Patent Class (Additional): H01L-021/28; H01L-021/3205

Derwent WPI (Dialog® File 351): (c) 2002 Thomson Derwent. All rights reserved.

1/34/6 (Item 2 from file: 351)

011170228 **Image available**

WPI ACC No: 1997-148153/199714

Multilevel wiring structure for semiconductor integrated circuit - comprising lower wiring, insulating structure on lower wiring, upper wiring in insulating structure, and interconnecting part.

Patent Assignee: NEC CORP (NIDE); NIPPON ELECTRIC CO (NIDE)

Inventor: HAYASHI Y; ONODERA T

Number of Countries: 004 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
GB 2304231	A	19970312	GB 9616894	A	19960812	199714 B
JP 9055429	A	19970225	JP 95224539	A	19950810	199718

US 5717251 A 19980210 US 96689088 A 19960805 199813
 KR 97013221 A 19970329 KR 9633112 A 19960809 199815
 GB 2304231 B 20000223 GB 9616894 A 19960812 200013
 KR 215613 B1 19990816 KR 9633112 A 19960809 200104
 Priority Applications (No Type Date): JP 95224539 A 19950810

Patent Details:

Patent No	Kind	Ln	Pg	Main IPC	Filing Notes
GB 2304231	A		79	H01L-021/768	
JP 9055429	A		13	H01L-021/768	
US 5717251	A		30	H01L-023/48	
KR 97013221	A			H01L-021/768	
GB 2304231	B			H01L-021/768	
KR 215613	B1			H01L-021/768	

Abstract (Basic): GB 2304231 A

Multilevel wiring structure comprises: (a) lower wiring; (b) an insulating structure on lower wiring; (c) an upper wiring formed in the insulating structure; and (d) an interconnecting part for connecting the lower wiring to the upper wiring. The insulating structure comprises a 1st insulating layer formed on the lower wiring and formed from a 1st photosensitive material, the interconnecting part being disposed on the 1st insulating layer and formed from a 2nd photosensitive material higher in photosensitivity than the 1st photosensitive material, the upper wiring being formed in the 2nd insulating layer.

Also claimed are: (i) a semiconductor integrated circuit device; and (ii) mfr. of the device (i).

USE - The wiring structure can be incorporated into a semiconductor integrated device.

Dwg.5c/10

Abstract (Equivalent): US 5717251 A

Multilevel wiring structure comprises: (a) lower wiring; (b) an insulating structure on lower wiring; (c) an upper wiring formed in the insulating structure; and (d) an interconnecting part for connecting the lower wiring to the upper wiring. The insulating structure comprises a 1st insulating layer formed on the lower wiring and formed from a 1st photosensitive material, the interconnecting part being disposed on the 1st insulating layer and formed from a 2nd photosensitive material higher in photosensitivity than the 1st photosensitive material, the upper wiring being formed in the 2nd insulating layer.

Also claimed are: (i) a semiconductor integrated circuit device; and (ii) mfr. of the device (i).

USE - The wiring structure can be incorporated into a semiconductor integrated device.

Dwg.0/10

Derwent Class: A26; A89; G06; L03; U11; U14

International Patent Class (Main): H01L-021/768; H01L-023/48

International Patent Class (Additional): H01L-021/027; H01L-021/3065;

H01L-021/312; H01L-021/3205; H01L-023/32; H01L-023/52

Derwent WPI (Dialog® File 351): (c) 2002 Thomson Derwent. All rights reserved.

© 2002 The Dialog Corporation